

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-154913

(43)Date of publication of application : 08.06.2001

BEST AVAILABLE COPY

(51)Int.Cl.

G06F 12/06

(21)Application number : 11-339462

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.11.1999

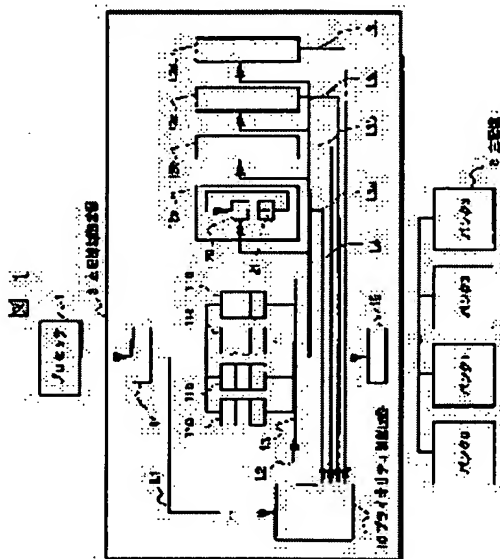
(72)Inventor : ITO MASANAO  
MATSUURA TSUGUO  
NAKAMURA TETSUTO  
YOSHIDA HIDETOSHI

## (54) MAIN STORAGE CONTROL UNIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform optimum main storage access by less logical physical quantity in a main storage control unit for accessing a main storage constituted of plural banks.

**SOLUTION:** This main storage control unit 2 interposed between a processor 1 and the main storage 3 constituted of the plural banks is provided with request queues 11a-11d for holding main storage access requests corresponding to the respective banks, bank busy control circuits 12a-12d for detecting the busy of the respective banks and a priority control circuit 10 provided with a priority queue for holding the bank numbers of the main storage access requests in an arriving order. The bank number for which the bank specified by the bank number is not in a bank busy state inputted to the priority queue oldest timewise is selected from the bank numbers inside the priority queue and the main storage access request inside the request queue corresponding to the bank number is selected in a selector 13 and executed.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-154913

(P2001-154913A)

(43) 公開日 平成13年6月8日(2001.6.8)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 12/06

識別記号

5 5 0

F I

G 0 6 F 12/06

テ-マコ-ト<sup>7</sup>(参考)

5 5 0 A 5 B 0 6 0

審査請求 未請求 請求項の数 3 O L (全 20 頁)

(21) 出願番号 特願平11-339462

(22) 出願日 平成11年11月30日(1999. 11. 30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 伊藤 昌尚

神奈川県秦野市堀山下1番地 株式会社日

立製作所エンタープライズサーバ事業部内

(72) 発明者 松浦 嗣夫

神奈川県秦野市堀山下1番地 株式会社日

立製作所エンタープライズサーバ事業部内

(74) 代理人 100080001

弁理士 筒井 大和

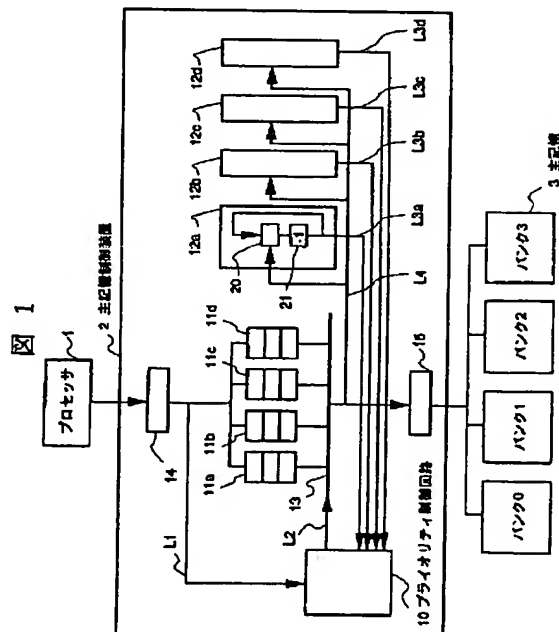
最終頁に続く

(54) 【発明の名称】 主記憶制御装置

(57) 【要約】

【課題】 複数のバンクで構成される主記憶にアクセスを行う主記憶制御装置において、より少ない論理物量で最適な主記憶アクセスを実現する。

【解決手段】 プロセッサ1と複数バンク構成の主記憶3との間に介在する主記憶制御装置2において、各バンク対応の主記憶アクセスリクエストを保持するリクエストキュー11aから11dと、個々のバンクのビジーを検出するバンクビジー制御回路12aから12dと、主記憶アクセスリクエストのバンク番号を到着順に保持するプライオリティキューを備えたプライオリティ制御回路10を設け、プライオリティキュー内のバンク番号から、当該バンク番号にて特定されるバンクがバンクビジー状態でなく、かつ時間的に最も過去にプライオリティキューに入力されたバンク番号を選択し、当該バンク番号に対応するリクエストキュー内の主記憶アクセスリクエストをセクタ13で選択して実行させる。



## 【特許請求の範囲】

【請求項1】 互いに独立にアクセス可能な複数のバンクによって構成される主記憶と、前記主記憶にアクセスする上位装置との間に介在する主記憶制御装置であつて、

前記主記憶制御装置は、

各々の前記バンクに対応して主記憶アクセスリクエストを到着順に保持する複数のリクエストキューと、

個々の前記主記憶アクセスリクエストのアクセス対象の前記バンクを示すバンク番号を、対応する前記主記憶アクセスリクエストの到着順に保持するプライオリティキューと、

個々の前記バンクのビジー状態を検出するバンクビジー検出手段と、

前記プライオリティキュー内の前記バンク番号から、当該バンク番号にて特定される前記バンクがバンクビジー状態でなく、かつ時間的に最も過去に前記プライオリティキューに入力された前記バンク番号を選択し、当該バンク番号に対応する前記リクエストキュー内の前記主記憶アクセスリクエストを選択して主記憶アクセスを行わせるとともに、前記リクエストキューおよび前記プライオリティキューから、実行済の前記主記憶アクセスリクエストおよび前記バンク番号を抹消することにより、複数の前記バンク間の前記主記憶アクセスリクエストのプライオリティ制御を行うプライオリティ制御回路と、を含むことを特徴とする主記憶制御装置。

【請求項2】 請求項1記載の主記憶制御装置において、

前記プライオリティ制御回路は、前記プライオリティキュー内の一部の前記バンク番号から、当該バンク番号にて特定される前記バンクがバンクビジー状態でなく、かつ時間的に最も過去に前記プライオリティキューに入力された前記バンク番号を選択して第2のプライオリティ制御回路に伝達し、

前記第2のプライオリティ制御回路は、前記プライオリティ制御回路が選択した前記バンク番号の前記リクエストキューに前記主記憶アクセスリクエストが実際に存在し、かつ、当該主記憶アクセスリクエストのアクセス対象の前記バンクがバンクビジーでない場合には、当該主記憶アクセスリクエストによる主記憶アクセスを行わせるとともに、前記プライオリティ制御回路に対して前記リクエストキューおよび前記プライオリティキューから発行済みの前記主記憶アクセスリクエストおよび前記バンク番号を抹消する指示を伝達し、前記プライオリティ制御回路が選択した前記バンク番号の前記リクエストキューに前記主記憶アクセスリクエストが存在しないか、またはバンクビジー状態である場合には、他の前記リクエストキューに発行可能な主記憶アクセスリクエストが存在するか否かを判定し、存在する場合には、他の前記リクエストキューの前記主記憶アクセスリクエストを選

択して主記憶アクセスを行わせるとともに、前記プライオリティ制御回路に対して前記リクエストキューおよび前記プライオリティキューから、発行済みの前記主記憶アクセスリクエストおよび前記バンク番号を抹消する指示を伝達する第2のプライオリティ制御を実行する、ことを特徴とする主記憶制御装置。

【請求項3】 請求項2記載の主記憶制御装置において、

前記リクエストキューは、前記主記憶からデータの読み出しをおこなうフェッチリクエストを保持するフェッチ用キューと、前記主記憶へデータの書き込みをおこなうストアリクエストを保持するストア用キューとに分離され、前記フェッチ用キュー内の前記フェッチリクエストと前記ストア用キュー内の前記ストアリクエストの何れを前記主記憶に対して発行するか決定する選択手段を備え、

前記プライオリティ制御回路は、前記プライオリティキューへは前記フェッチリクエストのみ登録を行うとともに前記プライオリティキューからのリクエストの抹消は、前記選択手段において前記フェッチリクエストが選択された場合にのみ行い、

前記フェッチリクエストに関しては、前記プライオリティキュー内の一部の前記バンク番号から、当該バンク番号にて特定される前記バンクがバンクビジー状態でなく、かつ時間的に最も過去に前記プライオリティキューに入力された前記バンク番号を選択して前記第2のプライオリティ制御回路に伝達し、前記フェッチ用キューに対して、当該第2のプライオリティ制御回路による前記第2のプライオリティ制御を行い、

前記ストアリクエストについては、前記プライオリティキュー内の前記バンク番号から、当該バンク番号にて特定される前記バンクがバンクビジー状態でなく、かつ時間的に最も過去に前記プライオリティキューに入力された前記バンク番号を選択して前記ストアリクエスト用に設けた前記第2のプライオリティ制御回路に伝達し、前記ストア用キューに対して、当該第2のプライオリティ制御回路による前記第2のプライオリティ制御を行う、ことを特徴とする主記憶制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、主記憶制御技術に関し、特に、複数のバンクで構成された主記憶のアクセス制御等に適用して有効な技術に関する。

## 【0002】

【従来の技術】大量のデータを処理する高速計算機において、演算処理性能に見合った主記憶データ転送を行うための主記憶制御を実現する方式として、独立にアクセス可能な複数のバンクで主記憶を構成し、各バンクへパイプライン的にアクセスを行う方式が一般的に用いられている。このような複数のバンクを制御する装置におい

ては、バンク間のアクセス優先度を決定する方式が主記憶アクセス性能を決定する重要な要素となる。例えば、特開平7-253923号公報の従来技術に記載があるように、主記憶アクセスリクエストが主記憶制御装置に到着した順番に高い優先度を与える方式や、特開平11-85605号公報の従来技術に記載があるように、バンク間に均等な優先度をLRU制御によって与える方式などが用いられる。

【0003】通常、リクエストの到着順に制御を行う方式がLRU制御を行う方式に比べて性能が良い場合が多い。しかし、到着順方式はバンク数が多い場合や、主記憶制御装置に置かれる主記憶アクセスリクエストを蓄えるキューのエントリ数が多い場合においては、バンク間のアクセス優先度を決定する論理の規模が巨大化してしまうため実現が困難となる。特に近年においては、プロセッサの演算処理性能の向上が著しいため、主記憶性能を向上させるためにはバンク数を増加させる必要性が増しており、したがって、性能的にはやや劣るがより簡単な論理規模で実現できるLRU制御方式、または、さらに単純化した制御方式を用いるを得ない傾向が増大している。

#### 【0004】

【発明が解決しようとする課題】前出の特開平7-253923号公報の従来技術においては、リクエストの到着順序の情報を到着番号の形式でリクエストを蓄えるキューのエントリ毎に保持している。このため、リクエストを主記憶に発行する際に到着番号を更新するために、全エントリ間に相互の到着番号をやりとりするための信号を配線する必要がある。したがって、エントリ数が増加すると、信号配線量はエントリ数の2乗に比例して増加する。また、各エントリからバンク対応の資源へ到着順序の情報を伝達しているため、エントリ数、バンク数が増加すると、その積に比例して信号配線量が増加する。

【0005】また、リクエストの到着順序の情報を到着番号の形式で保持しているため、バンクビジー状態のバンクを除外した上で、最も早く到着したリクエストを選択するためには、バンク数の2乗に比例した数の大小比較器が必要となる。このように、前記従来技術においてバンク数、エントリ数が増大した場合においてリクエストの到着順に優先制御を行うためには大幅な論理規模の増大を招く。

【0006】本発明の目的は、より少ない論理回路、より少ない論理間配線、および、より少ない論理段数等の論理物量で、バンク間のアクセス優先度をリクエストの到着順に管理する主記憶制御技術を提供することにある。

【0007】本発明の他の目的は、より少ない論理回路、より少ない論理間配線、および、より少ない論理段数等の論理物量で、主記憶アクセスのレイテンシを最小

にすることが可能な主記憶制御技術を提供することにある。

#### 【0008】

【課題を解決するための手段】本発明の主記憶制御技術においては、リクエストの到着順序の情報を蓄えるために、リクエストを蓄えるキューとは別個に、到着したリクエストのバンク番号を記録するキューを設ける。このキューはリクエストが入力した順序を保存するように動作する。すなわち、キュー内のリクエストを取り出す場合には、そのリクエストよりも上に積まれた、すなわち、時間的に後から来たリクエストを一つずつ下に移動し、キュー内に隙間無く整列し直す操作を行う。入力時には上から順に積む。

【0009】このように制御することで、キューの最も下にあるバンク番号のリクエストが、最も過去に到着したリクエストを示していることになり、このリクエストの優先度を最高とすれば、容易にリクエストの到着順で優先度を決めることができる。もし、キューの最も下にあるバンクがバンクビジーの状態であれば、下から2番目の優先度を最高とすればよい。もし、このバンクもバンクビジーであれば、同様の手順で下から順番にバンクビジーでないバンクを探すことで、目的とする優先度制御を実現することができる。

【0010】上記手段では、到着したリクエストのバンク番号を記録するキュー間での情報の授受は隣接した場合に限定されるので、信号配線量はエントリ数に比例して増加するのみである。また、到着したリクエストのバンク番号を記録するキューの内容から目的とするバンクの番号を検索する際には、バンク番号の情報を2進数にエンコードした形で扱うため、エントリ数、バンク数が増加しても、信号配線量はその積に比例するのではなく、バンク数の対数とエントリ数の積に比例して増加する。したがって、本発明では前記従来技術に比較してより少ない論理回路、より少ない論理間配線、および、より少ない論理段数で、目的とする優先度制御を実現することができる。

#### 【0011】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0012】（第1の実施の形態）図1は本発明の一実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図、図2は、本実施の形態の主記憶制御装置におけるプライオリティ制御回路の構成の一例を示すブロック図、図3は、本実施の形態の主記憶制御装置におけるプライオリティキュー制御回路の構成の一例を示すブロック図である。

【0013】図1、図2、図3中、1はプロセッサ、2は主記憶制御装置、3は主記憶、10はプライオリティ制御回路、11aから11dはリクエストキュー、12aから12dはバンクビジー制御回路、13はセレク

タ、14、15はリクエストラッチ、20はバンクビジーカウンタ、21はデクリメンタ、30はプライオリティキュー制御回路、31aから31eはプライオリティキュー、32aから32e、33aから33e、35はセクタ、34はプライオリティエンコーダ、40aから40eはプライオリティキュー入力選択回路、41はカウンタ、42は加減算器、L1、L2、L3aからL3d、L4、L7、La1からLa5、Lb1からLb5、Lc1からLc5、L20は信号線である。図4はプライオリティキュー入力選択回路40aから40eの動作の一例を説明した表であり、図5はプライオリティエンコーダ34の動作の一例を説明した表である。

【0014】図1において、主記憶制御装置2はプロセッサ1より主記憶アクセスリクエストを受け取る。図1ではプロセッサは1個であるが複数個でも構わない。また、プロセッサの代わりにプロセッサからの主記憶アクセスリクエストを仲介する制御装置であっても構わないし、入出力制御装置でも構わないし、他のシステムとの通信を制御する装置であっても構わないし、その他いかなる種類の主記憶アクセスリクエストを発行する装置であってもよい。

【0015】プロセッサ1より受け取った主記憶アクセスリクエストは最初にリクエストラッチ14に入力される。そして、アクセスする主記憶アドレスに対応するバンク番号（たとえば、主記憶アドレスの下位nビットをバンク番号とすることで、 $2^n$ 個のバンクが割り当てられる）に応じて、リクエストキュー11aから11dの何れか1つに格納される。なお、本実施の形態ではバンク数を4個としているが、これ以外に2個以上のいかなるバンク数であってもよい。また、リクエストキュー11aから11dはバンクに個別に設けているが、複数のバンクでキューを共用できるような構成であっても構わない。主記憶アクセスリクエストがリクエストキュー11aから11dに格納される際、同時に、信号線L1によってプライオリティ制御回路10にも入力が行われる。そして後述するプライオリティ制御回路10の機能によってセクタ13を信号線L2を介して制御し、リクエストキュー11aから11dの何れかのバンクのリクエストを選択し、リクエストラッチ15に主記憶アクセスリクエストを出力する。

【0016】この際、信号線L4を介してバンクアクセス情報がバンクビジー制御回路12aから12dに伝達され、該当するバンクについてバンクビジー情報が更新される。すなわち、バンクビジーサイクルを示す数値がバンクビジー制御回路12aから12d内のバンクビジーカウンタ20に設定される。

【0017】各バンクを構成するメモリ素子の内部動作特性等に応じて、アクセス時のサイクルから、あるサイクル数分の間はアクセス禁止とすることが必要な場合があり、バンクビジーカウンタ20に設定される前記数値

は、このアクセス禁止サイクル数の間はビジーとするために設定される。

【0018】各々のバンクビジー制御回路12aから12dにおいては、バンクビジーカウンタ20に「0」以上の値が設定されると、1サイクルに1回、バンクビジーカウンタ20の内容をデクリメンタ21によって値1だけ減じ、再びバンクビジーカウンタ20に格納する。減算の結果、バンクビジーカウンタ20の内容が値0になった場合にはこれ以上の減算は行わない。バンクビジーカウンタ20の内容が値0となったことは、該当するバンクがアクセス可能な状態、すなわち、バンクビジーでない状態であることを示し、この時該当するバンクの信号線L3aからL3dには値1が出力される。もし、該当するバンクがバンクビジーである場合には、信号線L3aからL3dには値0が出力される。

【0019】なお、本実施の形態においては、各々のバンクについてバンクビジー制御回路を1個としているが、これを複数個設置しても構わない。複数個設置することで主記憶がDRAMの場合やSDRAMの場合に対しても本実施の形態を適用可能である。また、SDRAMやRDRAMを使用する際、そのデータ授受のバースト長が1以上の場合でもバンクビジー制御回路を追加することで本実施の形態は適用可能である。

【0020】また、以下の説明においては、主記憶3のバンク0はリクエストキュー11a、バンクビジー制御回路12a、信号線L3aに対応するとし、バンク1はリクエストキュー11b、バンクビジー制御回路12b、信号線L3bに対応するとし、以下同様とする。

【0021】リクエストラッチ15に格納された主記憶アクセスリクエストはリクエストのバンク番号に応じて主記憶3のバンク0からバンク3の何れかをアクセスする。そしてリクエストが主記憶読み出しであった場合には、対応するデータをプロセッサ1へ返送する。なお、本実施の形態ではデータ返送のための機構は図示していない。

【0022】次に図2、図3、図4、図5を用いて、プライオリティ制御回路10のプライオリティ制御、すなわち、リクエストキュー11aから11dに格納されているどのリクエストを選択するかの詳細について説明を行う。前述のように、主記憶アクセスリクエストがリクエストキュー11aから11dに格納される際、同時に、信号線L1によってプライオリティ制御回路10にも入力が行われる。そして、プライオリティキュー制御回路30により、信号線La1からLa5を介してセクタ32aから32eが制御され、プライオリティキュー31aから31eの何れか1つに該主記憶アクセスリクエストのバンク番号が入力される。

【0023】なお、図2以下ではプライオリティキューは、簡単のため5面（エントリ）として図示、説明しているが、本来はリクエストキュー11aから11dに格

納できる総リクエスト数と同数のエントリを用意することが望ましい。同数未満の場合には、プライオリティキュー31aから31eの全てに有効なリクエストが格納された場合に、主記憶制御装置2はプロセッサ1から新たなリクエストを受け付けられない状態に陥る。同数以上を用意すれば、主記憶制御装置2のリクエストキュー11aから11dの何れかが飽和した場合に、プロセッサ1に対して新たなリクエストの送出停止を要求するという通常の制御に変更を加える必要が無く、したがって、プライオリティキューとリクエストキューはエントリを同数を用意することが望ましい。ただし、同数用意しない場合でも前述のように、プロセッサ1に対して新たなリクエストの送出停止要求を追加制御することで本実施の形態を適用することは可能である。

【0024】次に、プライオリティキュー31aから31eに存在する主記憶アクセスリクエストから、どのバンクのリクエストを選択するかについて次に説明を行う。プライオリティキュー31aから31eの保持するバンク番号の情報は信号線Lb1からLb5を介して、セクタ33aから33eに伝達される。セクタ33aから33eは信号線Lb1からLb5の示すバンク番号に基づいて、各々が信号線L3aからL3dの何れかを選択して信号線Lc1からLc5に出力を行う。プライオリティキュー31aを例にとって説明すると、プライオリティキュー31aの保持するバンク番号が「0」である場合には、セクタ33aは信号線L3aを信号線Lc1に出力し、バンク番号が「1」である場合には、セクタ33aは信号線L3bを信号線Lc1に出力し、バンク番号が「2」である場合には、セクタ33aは信号線L3cを信号線Lc1に出力し、バンク番号が「3」である場合には、セクタ33aは信号線L3dを信号線Lc1に出力し、プライオリティキュー31aに有効なリクエストが存在しない場合には、セクタ33aは値「0」を信号線Lc1に出力する。

【0025】信号線Lc1からLc5はプライオリティエンコーダ34に入力される。プライオリティエンコーダ34の動作を図5を用いて説明する。プライオリティエンコーダ34に入力される信号線Lc1の信号が値「1」であった場合には、信号線L7には値「1」が設定され、これによりセクタ35は信号線Lb1を選択して信号線L2に出力する。これは、プライオリティキュー31aの保持するバンク番号が信号線L2に出力されることを意味し、すなわち、プライオリティキュー31aの示すバンク番号のリクエストがリクエストキュー11aから11dの中から選択され、主記憶アクセスを行うことを意味する。

【0026】もし、プライオリティエンコーダ34に入力される信号線Lc1の信号が値「0」であり、かつ、信号線Lc2の信号が値「1」であった場合には、信号線L7には値「2」が設定され、これは最終的には、プ

ライオリティキュー31bの示すバンク番号のリクエストがリクエストキュー11aから11dの中から選択され、主記憶アクセスを行うことを意味する。同様にし、信号線Lc1、Lc2の信号が値「0」であり、かつ、信号線Lc3の信号が値「1」であった場合には、プライオリティキュー31cの示すバンク番号が選択され、信号線Lc1からLc3の信号が値「0」であり、かつ、信号線Lc4の信号が値「1」であった場合には、プライオリティキュー31dの示すバンク番号が選択され、信号線Lc1からLc4の信号が値「0」であり、かつ、信号線Lc5の信号が値「1」であった場合には、プライオリティキュー31eの示すバンク番号が選択され、信号線Lc1からLc5全ての信号が値「0」であった場合には、どのバンクも選択されないことが信号線L2に出力される。

【0027】以上の動作により、プライオリティキュー31aから31eに格納されている有効なリクエストについて、下から順番にバンクビジーでないバンク番号が検索され、最も下にあるバンクビジーでないバンク番号が信号線L2に出力される。この際、リクエストキュー11aから11dにおいて、各々のバンクについて時間的順序を保存してリクエストの入出力を行えば、時間的に最も過去に到着したリクエストでバンクビジーでないリクエストを選択することができる。

【0028】なお、本発明では、各々のバンク内部において時間的順序を保存する必要はないため、各々のバンクにおいて時間的順序を保存しない入出力を行う場合についても本実施の形態を適用することは可能である。例えば、主記憶がDRAMやSDRAM等の場合に同一ROWアドレスのリクエストを連続して発行することで、DRAMでは比較的長時間必要なバンクビジーの影響を軽減することができるが、このために同一バンクのリクエストの時間的順序を変更したい場合でも本実施の形態を適用可能である。

【0029】また、本実施の形態においては、プライオリティ制御回路10を主記憶制御装置2に1個としているが、各々のバンクについてバンクビジー制御回路を複数個設置した場合には、複数個としてもよい。バンクビジー制御回路を複数個設置することで、主記憶がDRAMの場合やSDRAMの場合に必要なRAS信号やCAS信号の発行タイミングを制御可能となり、本実施の形態を主記憶がDRAMの場合やSDRAMの場合に対しても適用可能となる。

【0030】次に、プライオリティキュー制御回路30の機能について説明を行う。先に述べたように、主記憶アクセスリクエストがリクエストキュー11aから11dに格納される際、同時に、信号線L1によってプライオリティキュー制御回路30にバンク番号が伝達される。そして、リクエストキュー11aから11dの中から主記憶アクセスリクエストが発行される際には、リク

エストに対応するプライオリティキュー31aから31eの番号が信号線L7を介してプライオリティキュー制御回路30に伝達される。信号線L1、信号線L7は加減算器42に接続されており、信号線L1によって主記憶アクセスリクエストがリクエストキュー11aから11dに格納されたことが伝達された場合、加減算器42はカウンタ41の内容に1を加え、信号線L7によってリクエストキュー11aから11dから主記憶アクセスリクエストが発行されたことが伝達された場合、加減算器42はカウンタ41の内容から1を減じて、その結果を信号線L20を介してカウンタ41へ格納する。なお、初期状態ではカウンタ41の内容は値「0」に設定される。

【0031】また、プライオリティキュー入力選択回路40aから40eには信号線L1、信号線L7、信号線L20が接続されており、これらの信号線の値に応じて信号線La1からLa5の出力を図4に示したように変化させる。図4の動作によって、プライオリティキュー入力選択回路40aから40eは次のように機能する。

【0032】第1に、信号線L1、信号線L7がリクエストの入出力が無かったことを示した場合には、プライオリティキュー入力選択回路40aから40eはプライオリティキュー31aから31eに保持された状態をそのまま維持する。

【0033】第2に、信号線L1はリクエストの入力があったことを示したが、信号線L7はリクエストの出力がなかったことを示した場合には、プライオリティキュー入力選択回路40aから40eは、プライオリティキュー31aから31eの空きキューのうち最も下方に存在するキューに入力されたリクエストのバンク番号を登録する。例えば、プライオリティキュー31aから31cにはリクエストが登録されており、プライオリティキュー31dから31eが空いている場合には、プライオリティキュー31dに登録を行う。

【0034】第3に、信号線L1はリクエストの入力があったことを示したが、信号線L7はリクエストの出力があったことを示した場合には、プライオリティキュー入力選択回路40aから40eは、信号線L7の示すリクエストのプライオリティキューの内容を抹消し、それよりも上方のキューの内容を1つずつ下方に移動する。例えば、プライオリティキュー31aから31dにリクエストが登録されており、信号線L7の示すリクエストがプライオリティキュー31bであった場合には、プライオリティキュー31bの抹消を行い、プライオリティキュー31cから31dの内容をそれぞれ、プライオリティキュー31bから31cに移動する。

【0035】第4に、信号線L1はリクエストの入力があったことを示し、かつ、信号線L7もリクエストの出力があったことを示した場合には、プライオリティキュー入力選択回路40aから40eは、信号線L1が示す

リクエストの登録と信号線L7の示すリクエストの抹消を同時に行う。例えば、プライオリティキュー31aから31cにリクエストが登録されており、信号線L7の示すリクエストがプライオリティキュー31bであった場合には、プライオリティキュー31aはそのまま保持され、プライオリティキュー31bにはプライオリティキュー31cの内容が移動され、プライオリティキュー31cには信号線L1が示すリクエストの登録が行われる。プライオリティキュー31dから31eは空いている状態がそのまま保持される。

【0036】前述の、リクエストキュー11aから11dにおいて、各々のバンクについて時間的順序を保存してリクエストの入出力を行うという仮定が満たされている場合には、上記の説明で明らかなように、信号線L1が示すリクエストの登録は常にプライオリティキュー31aから31eの最上部に行われるため、プライオリティキュー31aから31eには下からリクエストの到着順にならんでおり、どのように信号線L7の示すリクエストを取り出してもこの順序関係が崩れることはない。

【0037】リクエストキュー11aから11dにおいて、各々のバンクについて時間的順序を保存してリクエストの入出力を行うという仮定が満たされない場合には、プライオリティキュー31aから31eの順序は保存されない。しかしこのような場合でも、異なるバンク間においては、そのバンクにおいて最も過去に到着したリクエストに注目すれば、バンク間のリクエストの順序関係が崩れることはない。

【0038】図14に上記で説明した本実施の形態のプライオリティ制御の動作の一例を示す。図14中にはリクエストラッチ14、15および、プライオリティキュー31aから31eのみ図示しており、時刻 $t=0$ から $t=7$ までの8サイクルについて1サイクル毎の動作を示している。この例においてはバンク数は8個であると仮定しており、各バンクのバンクビジー時間は3サイクルと仮定している。つまり、あるバンクにアクセスすると、同一のバンクにアクセス可能となるのは3サイクル後である。そして、 $t=0$ の状態ではすべてのバンクについてバンクビジーではないと仮定している。

【0039】さて、 $t=0$ の状態ではプライオリティキュー31aにはバンク番号0が格納されており、プライオリティキュー31bにはバンク番号1が格納されており、プライオリティキュー31cにはバンク番号1が格納されており、プライオリティキュー31dにはバンク番号2が格納されており、プライオリティキュー31eには有効なリクエストは格納されていない。これは、リクエストキュー11aに1個のリクエストが存在し、リクエストキュー11bには2個のリクエストが存在し、リクエストキュー11cには1個のリクエストが存在し、リクエストキュー11d、11e、11f、11g、11hにはリクエストが存在していないことを示



す。なお、リクエストキュー11e、11f、11g、11hはバンク4からバンク7に対応するリクエストキューであり、図1には図示されていないが、図14の説明のために存在するとして扱う。

【0040】 $t=0$ ではプライオリティキュー31aに格納されていたバンク番号0のリクエストが主記憶アクセスリクエストとして選択され、この情報が信号線L2によってセクタ13に伝えられ、 $t=1$ でリクエストキュー11aからリクエストラッチ15に移動する。同時に、 $t=0$ においてリクエストラッチ14に格納されていたバンク番号3のリクエストは、 $t=1$ でリクエストキュー11dに格納され、かつ、プライオリティキューにも登録される。

【0041】 $t=1$ においては、信号線L1によってバンク番号3の登録が伝達され、信号線L7によってプライオリティキュー31aの抹消が伝達された結果、図14の $t=1$ のような状態になる。さらに、 $t=2$ では信号線L1によってバンク番号4の登録が伝達され、信号線L7によってプライオリティキュー31aの抹消が伝達される。 $t=2$ の状態では最も到着順の早いリクエストはプライオリティキュー31aに存在するバンク番号1のリクエストであるが、このバンクは $t=1$ で主記憶アクセスを行うリクエストとして選択されたため、 $t=2$ ではバンクビジー状態にあり、したがって、次に到着順の早いプライオリティキュー31bのバンク番号2のリクエストが主記憶アクセスリクエストとして選択される。バンクビジーサイクルは3サイクルであるため、 $t=3$ でもプライオリティキュー31aのバンク番号1のリクエストは選択されず、このサイクルにおいて次に到着順の早い、プライオリティキュー31bのバンク番号3のリクエストが主記憶アクセスリクエストとして選択される。 $t=4$ でバンク番号1のバンクビジー状態が解除されるため、このサイクルではプライオリティキュー31aが主記憶アクセスリクエストとして選択され、 $t=5$ でリクエストラッチ15に格納される。以下、 $t=5$ 、 $t=6$ 、 $t=7$ ではどのバンクもビジーでないため、プライオリティキュー31aが主記憶アクセスリクエストとして選択され、次のサイクルでリクエストラッチ15に格納される。

【0042】これまでの説明で明らかなように、本実施の形態によれば、リクエストキュー11aから11dに格納されたリクエストを、バンクビジーを考慮した上でリクエストの到着順に主記憶3へアクセスを行うことができ、このようにして最適なバンク間プライオリティ制御を実現することが可能となる。

【0043】(第2の実施の形態) 次に、本発明の主記憶制御装置の第2の実施の形態について説明を行う。本第2の実施の形態は第1の実施の形態の変形であり、第1の実施の形態よりも論理規模を縮小する必要がある場合、あるいは、最大論理段数の制限のために第1の実施

の形態をそのまま使用できない場合にも、最適なバンク間プライオリティ制御を実現することを目的とする。

【0044】図6は本発明の一実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図であり、図7はプライオリティ制御回路の構成の一例を示すブロック図であり、図8は第2プライオリティ回路の構成の一例を示すブロック図であり、図9はプライオリティキュー制御回路の構成の一例を示すブロック図であり、図15は第2プライオリティ回路の動作の一例を解説した表である。図6中、図1と同一の参照番号を持つ構成要素は第1の実施の形態と同じ機能を持ち、図7中、図2と同一の参照番号を持つ構成要素は第1の実施の形態と同じ機能を持ち、図9中、図3と同一の参照番号を持つ構成要素は第1の実施の形態と同じ機能を持つ。以下では各々、第1の実施の形態と異なる機能についてのみ説明を行う。

【0045】図6中、16はプライオリティ制御回路、L5aからL5dは信号線であり、図7中、36はプライオリティキュー制御回路、50は第2プライオリティ回路、L6は信号線であり、図8中、53aから53dはバンク番号生成回路、54aから54dは分散プライオリティ回路、56はエンコーダ、55ab、55cd、64は論理和回路、60、61は排他的論理和回路、62、63、66、67は論理積回路、65は論理否定回路、L12aからL12d、L14aからL14d、L15aからL15d、L16abからL16cdは信号線であり、図9中、43aから43eは比較器、L21、Ld1からLd5は信号線である。

【0046】図6では図1に信号線L5aからL5dが追加されている。主記憶アクセスリクエストがリクエストキュー11aから11dの何れか1つに格納されると、リクエストキュー11aから11dにリクエストが存在するか存在しないかについての情報が、信号線L5aからL5dを介してプライオリティ制御回路16に伝達され、図7中の第2プライオリティ回路50へ伝達される。

【0047】図7で示されるプライオリティ制御回路16は、第1の実施の形態において図2で示されたプライオリティ制御回路10と次の点で異なる。図2においては、プライオリティキュー31aから31eに1対1に対応して、セクタ33aから33eが存在していたが、図7では、プライオリティキュー31dから31eに対応するセクタ33dから33eが存在していない。第1の実施の形態では、プライオリティキュー31aから31eと同数のセクタ33aから33eを用意する必要があり、したがって、プライオリティエンコーダ34、および、セクタ35は、プライオリティキュー31aから31eの個数と等しい数の入力信号を処理する必要が存在したが、本実施の形態では、プライオリティキュー31aから31eの個数とセクタ33aか

ら33cの個数とを独立に選択することが可能であり、これにより論理規模の縮小、論理段数および論理配線数の削減が可能となる。なお、本実施の形態において、プライオリティキュー31aから31eの個数とセクタ33aから33cの個数とを同数としてもよいことはいうまでもない。

【0048】また、後述するように、本実施の形態では、第2プライオリティ回路50を設けたことにより、信号線L3aからL3dによって伝達され、セクタ33aから33cに入力が行われるバンクビジー情報は不完全であってもよい。信号線L3aからL3dによって第2プライオリティ回路50に伝達されるバンクビジー情報が完全であれば、セクタ33aから33cには不完全なバンクビジー情報のみでも本実施の形態は正しい論理動作を行うことが可能である。これにより、例えば、成立頻度は少ないが論理段数が多く必要なバンクビジー情報の論理経路を短縮することが可能となり、さらに論理規模の縮小、論理段数および論理配線数の削減が可能となる。

【0049】このように論理を構成しても、最適なバンクを選択する機能はほとんど損なわれない。第1に、プライオリティキュー31dから31eに対応するセクタ33dから33eが存在していないとしても、これらのリクエストが選択されるということは、リクエストキューに到着してあまり時間を経過していないリクエストが選択されるということであり、そのようなリクエストの選択が最適でなかったとしても、もともとリクエストキューにおいて待ち時間が短いリクエストの間の選択であり、全体の性能への影響は大きくない。第2に、信号線L3aからL3dによって伝達され、セクタ33aから33cに入力が行われるバンクビジー情報は不完全であったとしても、不完全な頻度の割合が小さければ性能への影響は小さい。すなわち、後述のように、第2プライオリティ回路50は信号線L6に示されるバンクのリクエストが実際に発行可能な場合には、信号線L2に信号線L6の情報をそのまま出力し、信号線L6に示されるバンクのリクエストが実際には発行できなかった場合のみ、代替リクエストを信号線L2に出力する。代替リクエストは必ずしも最適ではないため、この場合にはリクエストの待ち時間に悪影響を与える可能性がある。しかし、成立頻度は少ないが論理段数が多く必要なバンクビジー情報の論理経路が存在する場合には、主記憶制御装置そのものの動作周波数を低くせざるを得ないため、システム全体としての性能はかえって悪化する可能性がある。本実施の形態によれば、そのような論理経路が装置全体の動作周波数を律速する事態から回避可能となる。

【0050】さて、図7ではプライオリティキュー31dから31eに対応するセクタ33dから33eが存在していないため、これらのリクエストが本来選択され

るべき場合に対しては、信号線L6には正しいバンク番号が出力されない。また、前述のように信号線L3aからL3dによってセクタ33aから33cに入力が行われるバンクビジー情報が不完全な場合にも信号線L6には正しいバンク番号が出力されない。信号線L6の不完全なバンク番号を修正するのが第2プライオリティ回路50の機能である。第2プライオリティ回路50の動作をまとめた表は図15に示されており、以下、図8、図15を用いて第2プライオリティ回路50の動作を説明する。

【0051】図8において、信号線L5aからL5dによって、リクエストキュー11aから11dにリクエストが存在するか否かの情報が伝達される。リクエストが存在する場合には値「1」が伝達され、存在しない場合には値「0」が伝達される。また信号線L3aからL3dによって、バンク0からバンク3のバンクビジーの完全な情報が伝達される。バンクビジーでない場合には値「1」が伝達され、バンクビジーの場合には値「0」が伝達される。

【0052】これらの信号線は分散プライオリティ回路54aから54dに入力され、各々、論理積回路67で論理積がとられ、信号線L15aからL15dに出力される。信号線L15aからL15dは、各バンクにおいて、発行可能なリクエストが存在するか否かを示している。信号線L15aからL15dはバンク間の優先度判定のため、以下のようにして分散プライオリティ回路54aから54dに入力される。信号線L15aは分散プライオリティ回路54bに、信号線L15bは分散プライオリティ回路54aに、信号線L15cは分散プライオリティ回路54dに、信号線L15dは分散プライオリティ回路54cに、それぞれ入力される。また、信号線L15aと信号線L15bの論理和が論理和回路55abによってとられ、分散プライオリティ回路54cおよび分散プライオリティ回路54dに入力される。そして、信号線L15cと信号線L15dの論理和が論理和回路55cdによってとられ、分散プライオリティ回路54aおよび分散プライオリティ回路54bに入力される。

【0053】さて、前記信号線L6の示すバンク番号の値は、分散プライオリティ回路54aから54dに入力される。信号線L6の示すバンク番号の値は2進数で表現されており、2進数の上位の桁のビットが排他的論理和回路60に入力され、下位の桁のビットが排他的論理和回路61に入力される。信号線L6の示すバンク番号が有効でない場合、例えば、セクタ35が信号線Lb1からLb3のどの信号も選択しなかった場合でも、信号線L6の信号を2進数の値として、以下の動作は行われる。

【0054】排他的論理和回路60、61によって、信号線L6の値は、バンク番号生成回路53aから53d

の値と排他的論理和がとられる。バンク番号生成回路53aから53dは、分散プライオリティ回路54aから54dに対応するバンク番号を2進数で生成し、2進数の上位の桁のビットが排他的論理和回路60に入力され、下位の桁のビットが排他的論理和回路61に入力される。排他的論理和回路60、61の演算の出力は、分散プライオリティ回路54aから54dの優先度を示す。演算結果が小さいほど優先度が高いことをあらわす。例えば、信号線L6の値が「2」である場合、つまり、2進数の「10」である場合には、排他的論理和回路60、61の演算結果は、分散プライオリティ回路54aにおいて2進数の「10」となり、分散プライオリティ回路54bにおいて2進数の「11」となり、分散プライオリティ回路54cにおいて2進数の「00」となり、分散プライオリティ回路54dにおいて2進数の「01」となる。これは、バンク2の優先度が最も高く、次はバンク3であり、その次はバンク0、最後がバンク1であることを示している。このように、第2プライオリティ回路50内部における優先度は決定される。

【0055】次に、排他的論理和回路60、61によって示されるバンク間優先度の情報と、信号線L15aからL15d、および、信号線L16a b、L16c dによって示される各バンクにおける発行可能なリクエストの存在情報とを用いて、主記憶アクセスを行うバンクを決定する手段について、分散プライオリティ回路54aの場合を例にとりて説明する。

【0056】第1に、信号線L6の値が「0」の場合、つまり、分散プライオリティ回路54aの優先度が最も高い場合について説明を行う。この場合には、排他的論理和回路60、61の演算結果は共に値「0」であるから、論理積回路62、63の演算結果も共に値「0」であり、論理和回路64の演算結果は値「0」となり、論理否定回路65の出力は値「1」となる。したがって、論理積回路66の出力は、バンク0に発行可能なリクエストが存在する場合には値「1」となり、存在しない場合には値「0」となる。

【0057】第2から第4の場合でも同様であるが、論理否定回路65の出力が値「1」であることはそのバンクのリクエストの優先度が最高であることを示している。したがって、論理否定回路65の出力が値「1」でかつ、自分のバンクに発行可能なリクエストが存在する場合には、このバンクのリクエストが選択される。

【0058】また、以下で示すように、自分よりも第2プライオリティ回路50内部における優先度の高いバンクに発行可能なリクエストが存在する場合には、他の分散プライオリティ回路54aから54dについては論理積回路66の出力は必ず値「0」となる。つまり、バンク0の優先度が最高で、かつ、バンク0に発行可能なリクエストが存在する場合には、信号線L14aからL14dのうち、信号線L14aのみが値「1」となり、他

は値「0」となる。信号線L14aからL14dはエンコード56に入力され、信号線L2によってバンク0のリクエストが主記憶アクセスをするよう、バンク番号情報の伝達が行われる。

【0059】もし、バンク0に発行可能なリクエストが存在しない場合には、第2から第4の場合に述べるように、信号線L14bからL14dのうち、他のバンクのうちただ一つだけが値「1」を取り得る。信号線L14bからL14dに値「1」を示した信号がある場合には、同様に信号線L2によって該当バンクのリクエストが主記憶アクセスをするよう、バンク番号情報の伝達が行われる。信号線L14aからL14dのすべてが値「0」の場合にはどのバンクも主記憶アクセスを行わないよう、信号線L2によって伝達が行われる。

【0060】第2に、信号線L6の値が「1」の場合、つまり、分散プライオリティ回路54aの優先度が2番目に高い場合について説明を行う。この場合には、排他的論理和回路60の演算結果は値「0」であり、排他的論理和回路61の演算結果は値「1」となる。よって、信号線L15bが値「0」の場合には論理否定回路65の出力は値「1」となり、信号線L15bが値「1」の場合には論理否定回路65の出力は値「0」となる。これはつまり、分散プライオリティ回路54bに発行可能なリクエストが存在する場合には、論理否定回路65の出力は値「0」となり、分散プライオリティ回路54bに発行可能なリクエストが存在しない場合には、論理否定回路65の出力は値「1」となることを示す。

【0061】したがって、論理積回路66の出力は、バンク0に発行可能なリクエストが存在し、かつ、バンク1＝分散プライオリティ回路54bに発行可能なリクエストが存在しない場合には値「1」となり、バンク0に発行可能なリクエストが存在しない場合、または、バンク1＝分散プライオリティ回路54bに発行可能なリクエストが存在する場合には値「0」となる。

【0062】容易にわかるように、バンク2およびバンク3に発行可能なリクエストが存在するか否か、つまり、分散プライオリティ回路54c、54dに発行可能なリクエストが存在するか否かは、以上の条件判定に全く影響を及ぼさない。このようにして、第2プライオリティ回路50においては、優先度最高のリクエストと優先度2番目のリクエストの間で優先度判定動作が行われる。

【0063】第3に、信号線L6の値が「2」の場合、つまり、分散プライオリティ回路54aの優先度が3番目に高い場合について説明を行う。この場合には、排他的論理和回路60の演算結果は値「1」であり、排他的論理和回路61の演算結果は値「0」となる。よって、信号線L16a bが値「0」の場合には論理否定回路65の出力は値「1」となり、信号線L16a bが値「1」の場合には論理否定回路65の出力は値「0」と

なる。これはつまり、分散プライオリティ回路54c、または、分散プライオリティ回路54dの少なくとも片方に発行可能なリクエストが存在する場合には、論理否定回路65の出力は値「0」となり、分散プライオリティ回路54c、分散プライオリティ回路54dの双方に発行可能なリクエストが存在しない場合には、論理否定回路65の出力は値「1」となることを示す。

【0064】したがって、論理積回路66の出力は、バンク0に発行可能なリクエストが存在し、かつ、バンク2＝分散プライオリティ回路54c、および、バンク3＝分散プライオリティ回路54dの双方に発行可能なリクエストが存在しない場合には値「1」となり、バンク0に発行可能なリクエストが存在しない場合、または、バンク2、バンク3の少なくとも片方に発行可能なリクエストが存在する場合には値「0」となる。

【0065】容易にわかるように、バンク1に発行可能なリクエストが存在するか否か、つまり、分散プライオリティ回路54bに発行可能なリクエストが存在するか否かは、以上の条件判定に全く影響を及ぼさない。このようにして、第2プライオリティ回路50においては、優先度最高のリクエスト、優先度2番目のリクエスト、および、優先度3番目のリクエストの間で優先度判定動作が行われる。

【0066】第4に、信号線L6の値が「3」の場合、つまり、分散プライオリティ回路54aの優先度が最も低い場合について説明を行う。この場合には、排他的論理和回路60、61の演算結果は共に値「1」であるから、信号線L16abが値「0」で、かつ、信号線L15bが値「0」の場合にのみ論理否定回路65の出力は値「1」となり、信号線L16abが値「1」、または、信号線L15bが値「1」のどちらか片方でも成立する場合には論理否定回路65の出力は値「0」となる。これはつまり、バンク1からバンク3のどれか1つにでも発行可能なリクエストが存在する場合には、論理否定回路65の出力は値「0」となり、バンク1からバンク3の全てにおいて発行可能なリクエストが存在しない場合にのみ、論理否定回路65の出力は値「1」となることを示す。

【0067】このようにして、第2プライオリティ回路50においては、優先度最高のリクエスト、優先度2番目のリクエスト、優先度3番目、および、優先度最下位のリクエストの間で優先度判定動作が行われる。

【0068】以上の説明で明らかなように、第2プライオリティ回路50は、信号線L6に示されるバンクのリクエストが実際に発行可能な場合には、信号線L2に信号線L6の情報をそのまま出力し、信号線L6に示されるバンクのリクエストが実際には発行できなかった場合には、第2プライオリティ回路50内部で生成した優先度にしたがって発行可能なリクエストを検索し、発行可能なリクエストが存在する場合には必ず、信号線L2に

発行可能なリクエストのバンク番号を出力する。

【0069】なお、本実施の形態では第2プライオリティ回路50をバンク数4個として図示しているが、バンク数はこれ以上でも実現可能である。本実施の形態を再帰的に構成することで、バンク数を倍増させることができる。その具体例を図16、図17に示す。図16はバンク数を16とした第2プライオリティ回路を示している。図16においては、バンク0、1、2、15に対応する分散プライオリティ回路のみ図示しており、他のバンクについては図示していないが同様の構成を持つ。また、図16中、信号線L6、および、バンク番号生成回路53aから53pの信号は、分散プライオリティ回路54aから54p内部の排他的論理和回路に左から順に2進数の上位の桁の値が入力される。

【0070】図17は図16中の他バンク情報通信回路57の動作を解説した図であり、図17中、「or」は信号の論理和演算を行うことを示し、「＝」は右辺の演算結果を左辺の信号として出力することを示す。

【0071】図16に示した第2プライオリティ回路では、図8に示したバンク数4の場合と同様、信号線L6に示されるバンクのリクエストが実際に発行可能な場合には、信号線L2に信号線L6の情報をそのまま出力し、信号線L6に示されるバンクのリクエストが実際には発行できなかった場合には、第2プライオリティ回路内部の優先順位に従って発行可能なリクエストを検索し、代替リクエストを信号線L2に出力する。

【0072】なお、図8の第2プライオリティ回路50については、信号線L6に示されるバンクのリクエストが実際に発行可能な場合には、信号線L2に信号線L6の情報をそのまま出力し、信号線L6に示されるバンクのリクエストが実際には発行できなかった場合のみ、代替リクエストを信号線L2に出力するという機能を有する限り、本実施の形態と異なる実現方法であっても構わない。

【0073】次に、プライオリティキュー制御回路36の機能について図9を用いて説明を行う。第1の実施の形態において、図3で示したプライオリティキュー制御回路30では、信号線L7を介して、リクエストキュー11aから11dから主記憶アクセスリクエストが発行される際のリクエストに対応するプライオリティキュー31aから31eの番号が伝達される。ところが本実施の形態では、信号線L2からはリクエストのバンク番号の情報のみしか得ることができない。そこで、本実施の形態ではこの信号線L2の情報から、第1の実施の形態の信号線L7と同一の情報を信号線L21に生成する。以下、この動作について説明を行う。

【0074】信号線L2を介して伝達された、主記憶アクセスリクエストが発行される際のバンク番号は、比較器43aから43eによって、信号線Lb1からLb5と比較される。信号線Lb1からLb5にはプライオリ

ティキュー31aから31eの保持するバンク番号の情報が伝達されており、もし、信号線L2の示すバンク番号が信号線Lb1からLb5と同一である場合には、対応する比較器43aから43eには値「1」が出力され、バンク番号が同一でない場合には、値「0」が出力される。なお、プライオリティキュー31aから31eに有効なバンク番号が保持されていない場合には、対応する比較器43aから43eには値「0」が出力される。また、信号線L2がどのバンクも示していない場合、つまり、主記憶アクセスリクエストが発行されなかった場合には、比較器43aから43e全てに値「0」が出力される。

【0075】比較器43aから43eの出力は、プライオリティエンコーダ44に入力される。プライオリティエンコーダ44の機能は図2、図7におけるプライオリティエンコーダ34と同一の機能を有し、その動作は図5において、信号線L7の値を信号線L21に対する結果として解釈すればよい。以上のようにして、信号線L2に示されたバンク番号のリクエストが、どのプライオリティキュー31aから31eに対応するかが信号線L21に与えられる。以降の動作は図3と全く同一である。

【0076】これまでの説明で明らかなように、本実施の形態によれば性能低下を最小限にとどめた上で、第1の実施の形態よりも論理規模を縮小して最適なバンク間プライオリティ制御を実現することが可能となる。

【0077】（第3の実施の形態）次に、本発明の主記憶制御装置の第3の実施の形態について説明を行う。本第3の実施の形態は第2の実施の形態の変形であり、第2の実施の形態において、主記憶に対し読み出しを行うリクエストと書き込みを行うリクエストを時間的に分離する制御を行う場合にも、最適なバンク間プライオリティ制御を実現することを目的とする。

【0078】図10は本発明の一実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図であり、図11はプライオリティ制御回路の構成の一例を示すブロック図であり、図12はフェッチプライオリティ制御回路の構成の一例を示すブロック図であり、図13はストアプライオリティキュー制御回路の構成の一例を示すブロック図である。図10中、図6と同一の参照番号を持つ構成要素は第2の実施の形態と同じ機能を持ち、図11中、図7と同一の参照番号を持つ構成要素は第2の実施の形態と同じ機能を持ち、図12、図13中、図9と同一の参照番号を持つ構成要素は第2の実施の形態と同じ機能を持つ。以下では各々、第2の実施の形態と異なる機能についてのみ説明を行う。

【0079】図10中、11faから11fdはフェッチリクエストキュー、11saから11sdはストアリクエストキュー、13f、13s、13fsはセレクト

タ、17はプライオリティ制御回路、18はフェッチストア切替回路、L1f、L1s、L2f、L2s、L5faからL5fd、L5saからL5sd、L8、L9は信号線であり、図11中、70はフェッチプライオリティ制御回路、71はストアプライオリティ制御回路、72は論理積回路、図12中、73aから73dは論理積回路である。

【0080】図10では図6において1組であったリクエストキューが、フェッチリクエストキュー11faから11fdとストアリクエストキュー11saから11sdに別れている。本実施の形態ではリクエストラッチ14からリクエストが出力される際、主記憶に対し読み出しを行うフェッチリクエストは信号線L1fを経由してフェッチリクエストキュー11faから11fdに格納され、主記憶に対し書き込みを行うストアリクエストはストアリクエストキュー11saから11sdに格納される。

【0081】なお、プライオリティ制御回路17にはフェッチリクエストのみの情報が信号線L1fを介して伝達される。また、フェッチリクエストキュー11faから11fdにリクエストが存在するか存在しないかについての情報が、信号線L5faからL5fdを介してプライオリティ制御回路17に伝達され、ストアリクエストキュー11saから11sdにリクエストが存在するか存在しないかについての情報が、信号線L5saからL5sdを介してプライオリティ制御回路17に伝達される。

【0082】フェッチリクエストキュー11faから11fdについてはセクタ13fによって何れのバンクのリクエストが主記憶アクセスを行うか選択され、ストアリクエストキュー11saから11sdについてはセクタ13sによって何れのバンクのリクエストが主記憶アクセスを行うか選択され、両者についてさらにセクタ13fsが選択を行い最終的に主記憶アクセスを行うリクエストが決定される。

【0083】セクタ13fsでの上記選択の制御を行うのがフェッチストア切替回路18である。フェッチストア切替回路18は、主記憶アクセスを行うリクエスト種を時間的に分離する機能を有する。つまり、ある一定時間はフェッチリクエストのみ主記憶アクセスを行わせ、また引き続きある一定時間はストアリクエストのみ主記憶アクセスを行わせ、これを繰り返す。フェッチリクエストとストアリクエストの選択を切替える制御については、主記憶3をアクセスする際のバス切替制御が最適に行われる限り、どのような方式であっても構わないので本実施の形態では詳細を示さないが、ここでは仮に、ストアリクエストキュー11saから11sdに蓄積されたストアリクエストの個数と、実際に主記憶アクセスを行ったリクエストの個数の情報とから制御を行うとして、そのための信号線L1s、L8を入力としている。

る。フェッチストア切替回路18のフェッチリクエストとストアリクエストの選択についての情報は信号線L9を介して、プライオリティ制御回路17に伝達される。信号線L9には、フェッチストア切替回路18がフェッチリクエストを選択したときに値「1」が、それ以外の場合には値「0」が出力される。

【0084】図11で示されるプライオリティ制御回路17は、第2の実施の形態において図7で示されたプライオリティ制御回路16と次の点で異なる。図7においては、1組であったセクタ33aから33c、プライオリティエンコード34、セクタ35、および、第2プライオリティ回路50が、フェッチリクエストとストアリクエストに対応して2組に別れている。すなわち、フェッチリクエストに対するフェッチプライオリティ制御回路70と、ストアリクエストに対するストアプライオリティ制御回路71とに別れて設けられている。そして、フェッチプライオリティ制御回路70の出力である信号線L2fがフェッチリクエストの優先度を示し、ストアプライオリティ制御回路71の出力である信号線L2sがストアリクエストの優先度を示している。また、図7と異なっている点として、プライオリティキュー制御回路36へ伝達される信号が、フェッチプライオリティ制御回路70の出力である信号線L2fと、信号線L9の論理積をとった信号となっている点がある。

【0085】このような構成からわかるように、プライオリティ制御回路17への入力信号線L1fによって、フェッチリクエストのみが伝達され、主記憶アクセスが行われたリクエストについては、信号線L2fと、信号線L9の論理積であるから、やはりフェッチリクエストの情報のみが伝達される。この結果、プライオリティ制御回路17中のプライオリティキュー31aから31eは、フェッチリクエストのみについて情報を保持し、ストアリクエストの影響を全く受けない。

【0086】図12で示されるフェッチプライオリティ制御回路70は、第2の実施の形態において図7で示されたプライオリティ制御回路16の一部分と全く同一である。すなわち、図7における、セクタ33aから33c、プライオリティエンコード34、セクタ35、および、第2プライオリティ回路50からなる部分を抜き出したのが図12である。よって、フェッチリクエストについては本実施の形態は第2の実施の形態と同一の動作を行う。

【0087】他方、図13で示されるストアプライオリティ制御回路71は、図12で示されるフェッチプライオリティ制御回路70と以下の部分のみが異なる。すなわち、フェッチプライオリティ制御回路70ではセクタ33aから33cに信号線L3aからL3dが入力されていたが、ストアプライオリティ制御回路71では、論理積回路73aから73dによる、信号線L3aからL3dと信号線L5saからL5sdとの論理積演算の

結果が入力されている。

【0088】以上のような構成を持つ本実施の形態の動作について説明を行う。上記に示したように、フェッチリクエストについては本実施の形態は第2の実施の形態と同一の動作を行うので、ストアリクエストに関係した動作について説明を行う。

【0089】最初に、フェッチストア切替回路18はフェッチリクエストの出力を選択しているとする。この場合、フェッチリクエストキュー11faから11fdのリクエストがセクタ13f、13fsを経由して主記憶アクセスを行う。この最中にリクエストラッチ14から出力されたリクエストは、それがフェッチであればフェッチリクエストキュー11faから11fdに、ストアであればストアリクエストキュー11saから11sdに格納される。

【0090】次に、フェッチストア切替回路18はストアリクエストの出力を選択したとする。この場合、プライオリティ制御回路17が信号線L2sによって伝達したバンクのリクエストがストアリクエストキュー11saから11sdのリクエストがセクタ13s、13fsを経由して主記憶アクセスを行う。信号線L2sは次のような制御でストアリクエストを発行するバンクを選択する。

【0091】先に説明したように、図13においてはセクタ33aから33cには信号線L10aからL10dが入力されている。すなわち、セクタ33aから33cには信号線L3aからL3dと信号線L5saからL5sdとの各々の論理積演算の結果が入力されている。このため、図13中の信号線L6は次のようなバンクを選択する。

【0092】もし、信号線Lb1の示すバンク番号、すなわち、プライオリティキュー31aに格納されたバンク番号、言い換えれば、最も過去に到着したフェッチリクエストのバンク番号のバンクが、バンクビジーでなく、かつ、そのバンク番号のストアリクエストが存在する場合には、信号線L6は信号線Lb1の示すバンク番号を示す。

【0093】上記の条件が一つでも成立しない場合、つまり、信号線Lb1の示すバンクがバンクビジーであるか、または、そのバンクにストアリクエストが存在しなかった場合に、信号線Lb2の示すバンク番号についてバンクビジーでなく、かつ、そのバンク番号のストアリクエストが存在すれば、信号線L6は信号線Lb2の示すバンク番号を示す。

【0094】信号線L6は第2プライオリティ回路50に入力され、最終的なストアプライオリティが信号線L2sに出力される。以上のように、ストアプライオリティ制御回路71はフェッチリクエストの優先順位をストアリクエストにも適用してその結果を信号線L2sに出力する。



【0095】このような制御の結果、最も過去に到着したフェッチリクエストほど、ストアリクエストも優先順位が高くなる。そのため、フェッチストア切替回路18がストアリクエストの出力を選択した際には、そのようなバンクのリクエストほど早く発行されることになる。したがって、フェッチストア切替回路18が再びフェッチリクエストの出力を選択した際に、最も過去に到着したフェッチリクエストのバンクはバンクビジー状態でなくなっている可能性が高くなる。よって、フェッチストア切替回路18によってリクエストの切換えを行っても、最も過去に到着したフェッチリクエストの発行を整然と行うことが可能となる。

【0096】なお、本実施の形態では、ストアリクエスト、および、フェッチリクエスト間の順序保証制御については省略したが、順序保証制御を行う場合でも本発明の適用は可能である。順序保証制御を行う場合には、リクエストの到着時間順に関わらずリクエストを主記憶に発行する必要が発生するが、そのようにして発行したリクエストの情報をプライオリティキュー制御回路36へ伝達し、プライオリティキュー31aからプライオリティキュー31eの内容を更新すればよい。

【0097】これまでの説明で明らかなように、本実施の形態によれば主記憶に対し読み出しを行うリクエストと書き込みを行うリクエストを時間的に分離する制御を行う場合にも、フェッチリクエスト、および、ストアリクエストの双方について最適なバンク間プライオリティ制御を提供することが可能となる。

【0098】以上説明したように、本発明の第1～第3の実施の形態の主記憶制御装置によれば、主記憶アクセスリクエストのバンク番号を格納するプライオリティキューを用いることによって、エントリー数に比例して増加する程度の信号配線量等のより少ない論理物量にて、主記憶アクセスリクエストのバンク間プライオリティを、主記憶アクセスリクエストの到着順の優先度で制御することができる。これによって各々の主記憶アクセスリクエストの主記憶アクセスレイテンシを最小にすることが可能となるため、情報処理システム全体としての主記憶アクセスを効率的に行うことができ、システムの性能向上に寄与する。

【0099】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。

【0100】

【発明の効果】本発明の主記憶制御装置によれば、より少ない論理回路、より少ない論理間配線、および、より少ない論理段数等の論理物量で、バンク間のアクセス優先度をリクエストの到着順に管理することができる、という効果が得られる。

【0101】本発明の主記憶制御装置によれば、より少

ない論理回路、より少ない論理間配線、および、より少ない論理段数等の論理物量で、主記憶アクセスのレイテンシを最小にすることができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図である。

【図2】プライオリティ制御回路の構成の一例を示すブロック図である。

【図3】プライオリティキュー制御回路の構成の一例を示すブロック図である。

【図4】プライオリティキュー入力選択回路の動作の一例を表形式で説明した説明図である。

【図5】プライオリティエンコーダの動作の一例を表形式で説明した説明図である。

【図6】本発明の第2の実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図である。

【図7】プライオリティ制御回路の構成の一例を示すブロック図である。

【図8】第2プライオリティ回路の構成の一例を示すブロック図である。

【図9】プライオリティキュー制御回路の構成の一例を示すブロック図である。

【図10】本発明の第3の実施の形態による主記憶制御装置を備える情報処理システムの構成の一例を示すブロック図である。

【図11】プライオリティ制御回路の構成の一例を示すブロック図である。

【図12】フェッチプライオリティ制御回路の構成の一例を示すブロック図である。

【図13】ストアプライオリティキュー制御回路の構成の一例を示すブロック図である。

【図14】プライオリティキューの状態の推移例を示す説明図である。

【図15】第2プライオリティ回路の動作の一例を表形式で解説した説明図である。

【図16】バンク数を16とした第2プライオリティ回路の一例を示すブロック図である。

【図17】図16の他バンク情報通信回路の動作の一例を解説した説明図である。

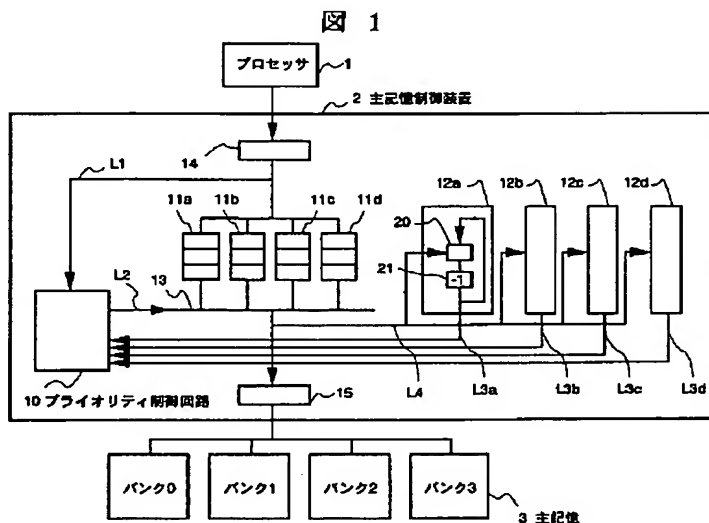
【符号の説明】

1…プロセッサ、2…主記憶制御装置、3…主記憶、10…プライオリティ制御回路、11aから11d…リクエストキュー、12aから12d…バンクビジー制御回路、30…プライオリティキュー制御回路、31aから31e…プライオリティキュー、34…プライオリティエンコーダ、40aから40e…プライオリティキュー入力選択回路、16…プライオリティ制御回路、36…

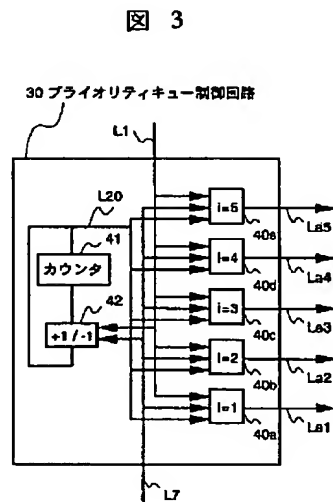
プライオリティキュー制御回路、50…第2プライオリティ回路、53aから53d…バンク番号生成回路、54aから54d…分散プライオリティ回路、56…エンコーダ、43aから43e…比較器、11faから11fd…フェッチリクエストキュー、11saから11s

d…ストアリクエストキュー、17…プライオリティ制御回路、18…フェッチストア切替回路、70…フェッチプライオリティ制御回路、71…ストアプライオリティ制御回路。

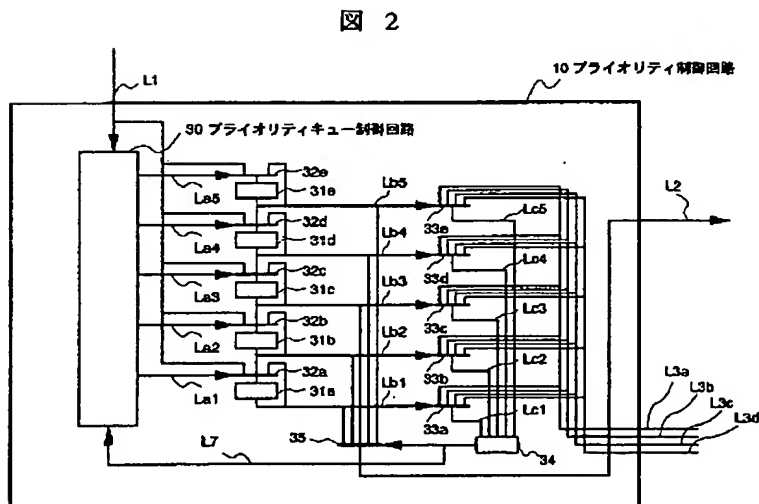
【図1】



【図3】



【図2】

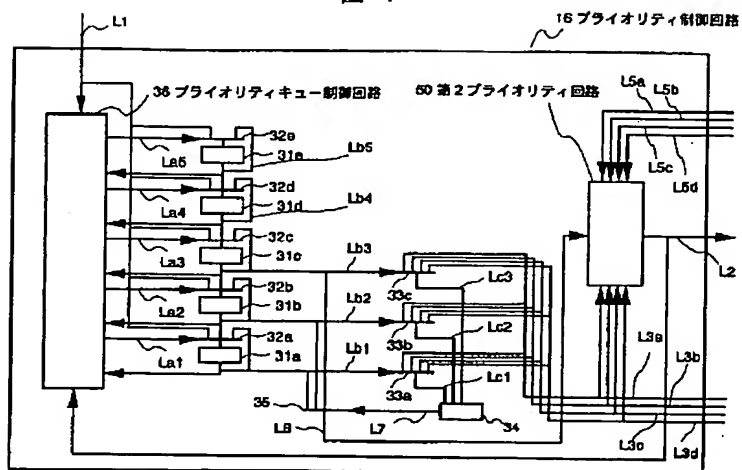






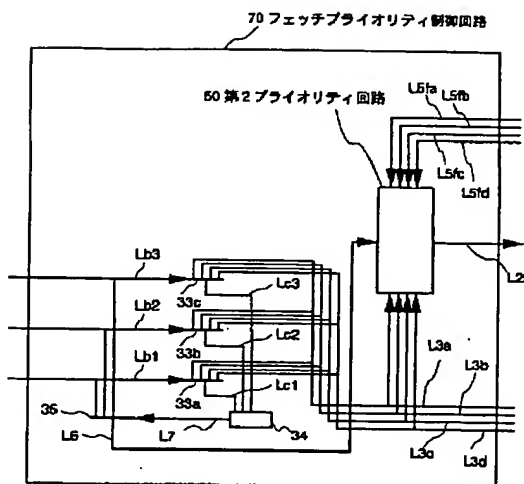
【図7】

図 7



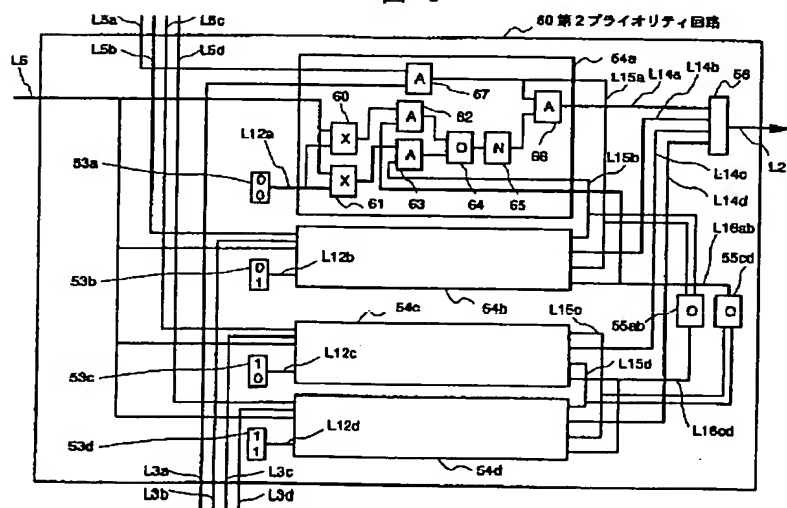
【図12】

図 12

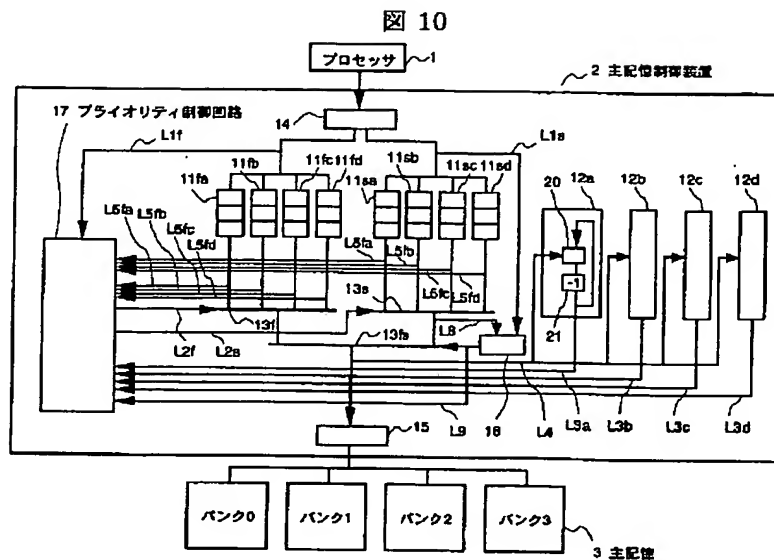


【図8】

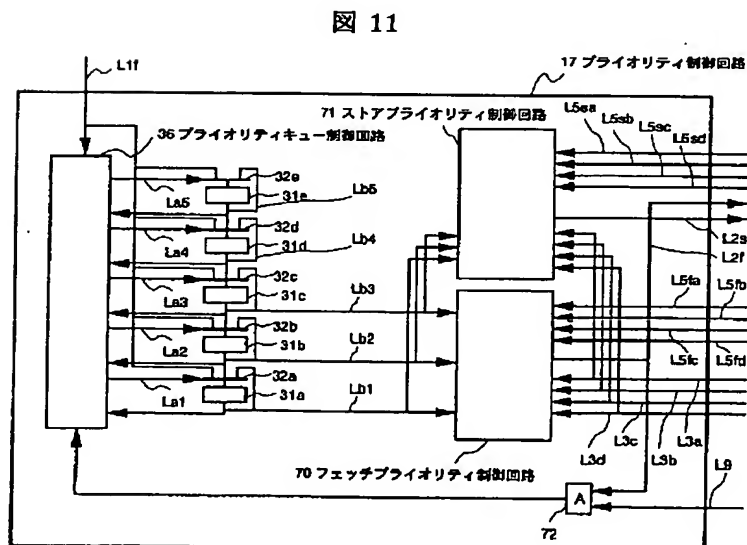
図 8



【図10】



【図11】



【図13】

【図14】

図13

71 ストッププライオリティ制御回路

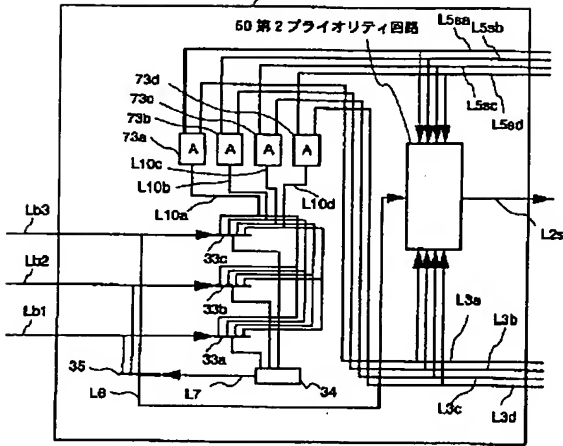


図14

	t=0	t=1	t=2	t=3	t=4	t=5	t=6	t=7
14	3	4	5	6	7			
31e								
31d	2	3	4	6	8	7		
31c	1	2	3	4	5	6	7	
31b	1	1	2	3	4	5	6	7
31a	0	1	1	1	1	4	5	6
15		0	1	2	3	1	4	5

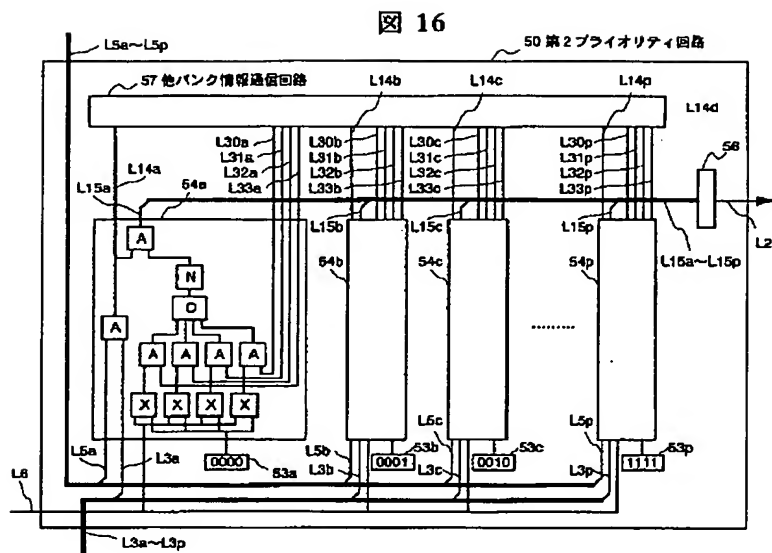
【図15】

図15

L6	L15a	L15b	L15c	L15d	L14a	L14b	L14c	L14d	L2
00	1	*	*	*	1	0	0	0	0
	0	1	*	*	0	1	0	0	1
	0	0	1	*	0	0	1	0	2
	0	0	0	1	0	0	0	1	3
	0	0	0	0	0	0	0	0	inv (*)
01	*	1	*	*	0	1	0	0	1
	1	0	*	*	1	0	0	0	0
	0	0	*	1	0	0	0	1	3
	0	0	1	0	0	0	1	0	2
	0	0	0	0	0	0	0	0	inv (*)
10	*	*	1	*	0	0	1	0	2
	*	*	0	1	0	0	0	1	3
	1	*	0	0	1	0	0	0	0
	0	1	0	0	0	1	0	0	1
	0	0	0	0	0	0	0	0	inv (*)
11	*	*	*	1	0	0	0	1	3
	*	*	1	0	0	0	1	0	2
	*	1	0	0	0	1	0	0	1
	1	0	0	0	1	0	0	0	0
	0	0	0	0	0	0	0	0	inv (*)

(\*) どのバンクもセレクトされないことを示す

【図16】



【図17】

図 17

他バンク情報通信回路 内部結線図

L30a = L14b	L31a = L14c or L14d	L32a = L14e or L14f or L14g or L14h
L30b = L14a	L31b = L31a	L32b = L32a
L30c = L14d	L31c = L14a or L14b	L32c = L32a
L30d = L14c	L31d = L31c	L32d = L32a
L30e = L14f	L31e = L14g or L14h	L32e = L14a or L14b or L14c or L14d
L30f = L14e	L31f = L31e	L32f = L32e
L30g = L14h	L31g = L14e or L14f	L32g = L32e
L30h = L14g	L31h = L31g	L32h = L32e
L30i = L14j	L31i = L14k or L14l	L32i = L14m or L14n or L14o or L14p
L30j = L14i	L31j = L31i	L32j = L32i
L30k = L14l	L31k = L14l or L14j	L32k = L32i
L30l = L14k	L31l = L31k	L32l = L32i
L30m = L14n	L31m = L14o or L14p	L32m = L14i or L14j or L14k or L14l
L30n = L14m	L31n = L31m	L32n = L32m
L30o = L14p	L31o = L14m or L14n	L32o = L32m
L30p = L14o	L31p = L31o	L32p = L32m
L33a = L14i or L14j or L14k or L14l or L14m or L14n or L14o or L14p		
L33b = L33c = L33d = L33e = L33f = L33g = L33h = L33a		
L33i = L14a or L14b or L14c or L14d or L14e or L14f or L14g or L14h		
L33j = L33k = L33l = L33m = L33n = L33o = L33p = L33i		

フロントページの続き

(72)発明者 中村 哲人

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(72)発明者 吉田 秀俊

神奈川県秦野市堀山下1番地 株式会社日  
立製作所エンタープライズサーバ事業部内  
Fターム(参考) 5B060 CD04 CD12 CD16 KA02 KA05

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**